

CAPITOLO 13

ACQUISIZIONE ED ELABORAZIONE DEI SEGNALI

Un settore importante dell'Elettronica che svolge la funzione di “interfaccia” tra le grandezze fisiche reali e quelle elettriche è il settore che si occupa dell'*acquisizione* e dell'*elaborazione* di segnali analogici dipendenti da grandezze fisiche di varia natura. Ciò permette di eseguire il controllo della grandezza in esame o anche semplicemente la visualizzazione, la memorizzazione o la trasmissione dei valori che essa assume. I campi applicativi sono vastissimi: dalla strumentazione di laboratorio ed elettromedicale, ai sistemi di rilevamento di dati ambientali, all'automazione industriale, alla telefonia, ecc.

Lo sviluppo di sofisticate tecniche di elaborazione digitale e l'uso diffuso di dispositivi programmabili nonché gli innumerevoli vantaggi associati al trattamento di segnali digitali, relativamente a complessità, immunità al rumore, versatilità e standardizzazione, fanno sì che, nella maggior parte dei casi, i segnali analogici vengano convertiti in segnali digitali per essere elaborati. I dati elaborati per potere essere utilizzati vengono poi eventualmente riconvertiti in forma analogica (ad esempio, per comandare dispositivi attuatori).

13.1 Sistemi di acquisizione ed elaborazione dati

Benché la varietà delle applicazioni e la molteplicità delle possibili scelte progettuali non consentano valide ed esaurienti generalizzazioni, in un sistema di acquisizione ed elaborazione dati si possono comunque individuare elementi e funzioni frequentemente ricorrenti. Esaminiamo quindi la struttura di un ipotetico sistema completo, illustrata in Fig. 13.1 per evidenziare la funzionalità di ciascun blocco e l'interazione fra i blocchi stessi

Il primo elemento da considerare è il *trasduttore*, la cui funzione tipica è di fornire in uscita una grandezza elettrica di valore proporzionale all'entità o alla variazione della grandezza fisica in esame. Ad esempio, una termocoppia fornisce una tensione proporzionale alla temperatura, un fotodiodo fornisce una corrente proporzionale alla luminosità, un microfono fornisce un segnale proporzionale alla pressione dell'onda sonora.

I segnali generati dai trasduttori devono di solito essere *condizionati* in modo che il trasferimento dell'informazione possa avvenire con ben precise caratteristiche di precisione, linearità, immunità al rumore, isolamento elettrico, richieste per una data applicazione. Il blocco circuitale di *condizionamento*, che costituisce un'interfaccia fra il circuito di rilevamento e gli altri blocchi, viene generalmente realizzato mediante *amplificatori*, talvolta anche molto sofisticati, e *filtri*.

I segnali analogici, opportunamente condizionati, vengono trattati da *convertitori analogico-digitali*, o *convertitori A/D* (ADC: *analog to digital converter*); essi forniscono in uscita stringhe di bit (ad esempio otto, come indicato in figura) che rappresentano numeri, espressi in forma binaria, proporzionali ai valori del segnale analogico di ingresso. Parametri assai importanti per i convertitori A/D sono, oltre al numero di bit di uscita, l'escursione massima del segnale di ingresso e il tempo di conversione, ovvero il tempo richiesto affinché ad un segnale stabile in ingresso corrisponda un valore numerico stabile in uscita.

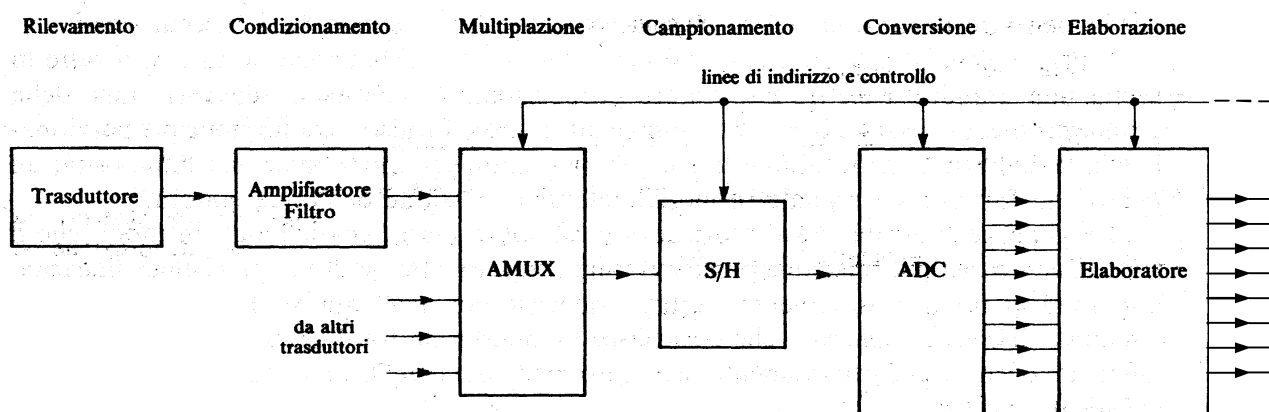


Fig. 13.1 – Schema di acquisizione ed elaborazione dati

Si noti che l'elaborazione e il trasferimento di segnali digitali anziché analogici, possono consentire notevoli semplificazioni circuitali anche e specialmente quando i segnali da trattare sono numerosi. Le prestazioni raggiunte sono decisamente superiori per quanto riguarda l'immunità al rumore e le derive termiche. L'impiego di dispositivi programmabili consente inoltre di effettuare in modo semplice elaborazioni anche molto sofisticate e di modificare il tipo e i parametri dell'elaborazione stessa con una certa facilità, intervenendo opportunamente sul programma.

Il convertitore A/D è preceduto da due blocchi, il *multiplatore analogico* (AMUX: *analog multiplexer*) e il circuito di *campionamento e tenuta* (S/H: *sample and hold*). Grazie al *multiplexer* è possibile trattare contemporaneamente diversi segnali analogici d'ingresso (provenienti

eventualmente da più trasduttori) con *un solo* convertitore A/D. Infatti, il *multiplexer* seleziona, a seconda del codice presente sulle linee digitali di indirizzo, uno solo dei segnali analogici di ingresso, trasferendolo in uscita. Tipicamente tale operazione è svolta in modo ciclico, in modo tale che ogni segnale d'ingresso venga periodicamente inviato al convertitore dopo un intervallo temporale ben preciso. Naturalmente dovranno essere molto precise la temporizzazione e la sequenzialità con cui ciascun segnale viene trasferito al convertitore.

Il circuito *sample and hold* risponde alle esigenze di campionare, in un tempo relativamente breve, il segnale analogico da convertire e di mantenerlo stabile per tutta la durata della conversione.

Il blocco indicato in Fig. 6.1 come *elaboratore* rappresenta infine dispositivi di varia complessità: potrebbe essere un processore che memorizza i dati o esegue elaborazioni sofisticate su di essi o ne controlla il trasferimento ad un dispositivo remoto; più semplicemente potrebbe essere un semplice sistema visualizzatore, oppure un *personal computer*. In ogni caso, dovranno essere previste le opportune *interfacce* e *le linee di controllo* per l'acquisizione dei dati digitali.

Dopo che i dati analogici provenienti dal mondo reale sono stati convertiti in forma digitale (e sono stati memorizzati o elaborati), spesso il risultato delle elaborazioni deve nuovamente interagire con il mondo esterno. I dati d'uscita del sistema di elaborazione possono essere utilizzati, in forma digitale o analogica, per azionare motori, accendere lampade o riscaldatori, far suonare allarmi, visualizzare informazioni, ecc, sia localmente che a distanza. Il trasferimento dei dati d'uscita (digitali o analogici) viene comunemente indicato con il termine *distribuzione*.

In Fig. 16.2 i dati digitali forniti dall'elaboratore su otto linee parallele vengono convertiti in forma analogica dal *convertitore digitale-analogico* (DAC: *digital to analog converter*). Il segnale d'uscita del DAC viene mandato all'ingresso di un *demultiplexatore analogico* (ADEMUX: *analog demultiplexer*) che lo trasferisce all'uscita selezionata dal codice presente sulle linee di indirizzo. Naturalmente, come nel caso dell'AMUX posto a monte del convertitore A/D, dovrà essere molto precisa la sincronizzazione del convertitore e del demultiplexatore in modo che la distribuzione dei segnali avvenga correttamente. Inoltre potranno essere presenti circuiti S/H e filtri che consentano un'adeguata *ricostruzione* dei segnali analogici dopo la conversione e la distribuzione.

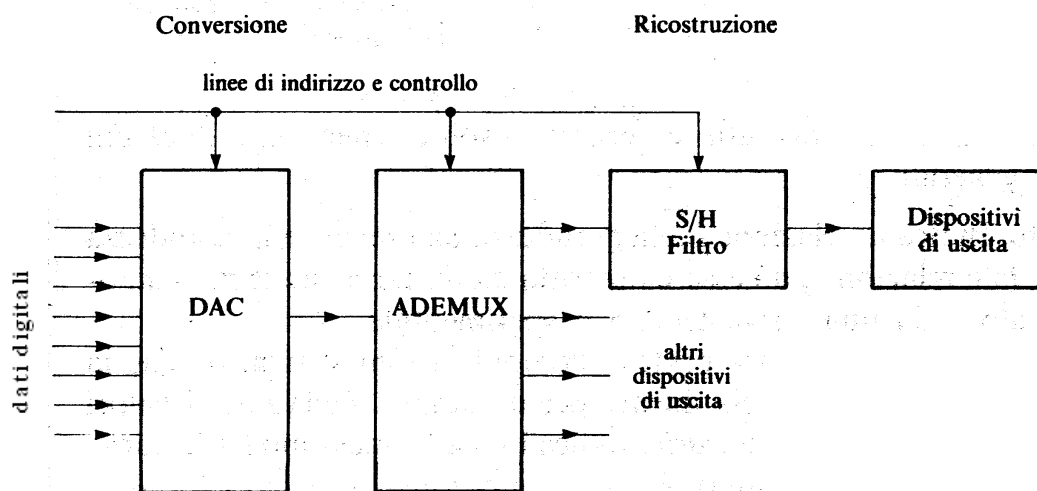


Fig. 13.2 – Schema di distribuzione dati ai dispositivi d'uscita

13.2 Quantizzazione e campionamento

Il processo di digitalizzazione dei segnali analogici introduce il concetto di *quantizzazione*. Infatti, mentre un segnale analogico può assumere infiniti valori in un campo continuo, la sua rappresentazione digitale può assumere un numero finito di *valori discreti*. Gli infiniti valori del segnale analogico devono pertanto essere quantizzati, ossia raggruppati in un certo numero di fasce delimitate da livelli fissi detti *livelli di quantizzazione*. A ciascuna fascia di valori analogici corrisponderà un valore digitale. La distanza fra due livelli di quantizzazione contigui costituisce il *passo di quantizzazione*, a cui corrisponde il valore del bit meno significativo (LSB: *least significant bit*).

Un dato digitale a n bit può esprimere 2^n valori; il valore 2^n viene pertanto associato al valore di *fondo scala* (FS : *full scale*) della grandezza analogica. Conseguentemente il valore analogico corrispondente al bit meno significativo sarà $FS/2^n$. Ad esempio, un convertitore A/D con tre bit d'uscita potrà quantizzare il segnale d'ingresso con $2^3 = 8$ valori, essendo solo otto le possibili combinazioni di tre bit. Se lo stesso convertitore ha un fondo scala $FS = 8$ V, il passo di quantizzazione, pari cioè al valore dell'LSB, è di 1 V.

In Fig. 13.3a è illustrato un segnale a rampa v_a , variabile da 0 a 7,5 V, con i corrispondenti valori digitali. In Fig. 13.3b è riportata la forma d'onda a gradinata v'_a che si otterrebbe riconvertendo i valori digitali. Come si vede, per tutti i valori di v_a compresi ad esempio fra 2,5 e 3,5 V, il valore binario corrispondente è 011 che, riconvertito, fornirebbe $v'_a = 3$ V. Così, per tutti i valori compresi fra 0 e 0,5 V, il valore digitale corrispondente è 000. Pertanto l'errore ε che si

commette nella quantizzazione è sempre minore o uguale a $\pm 0,5$ V, pari cioè al valore di $\frac{1}{2}$ LSB.

Dunque gli otto livelli di quantizzazione sono disposti in modo da avere sempre $\varepsilon \leq \pm \frac{1}{2}$ LSB.

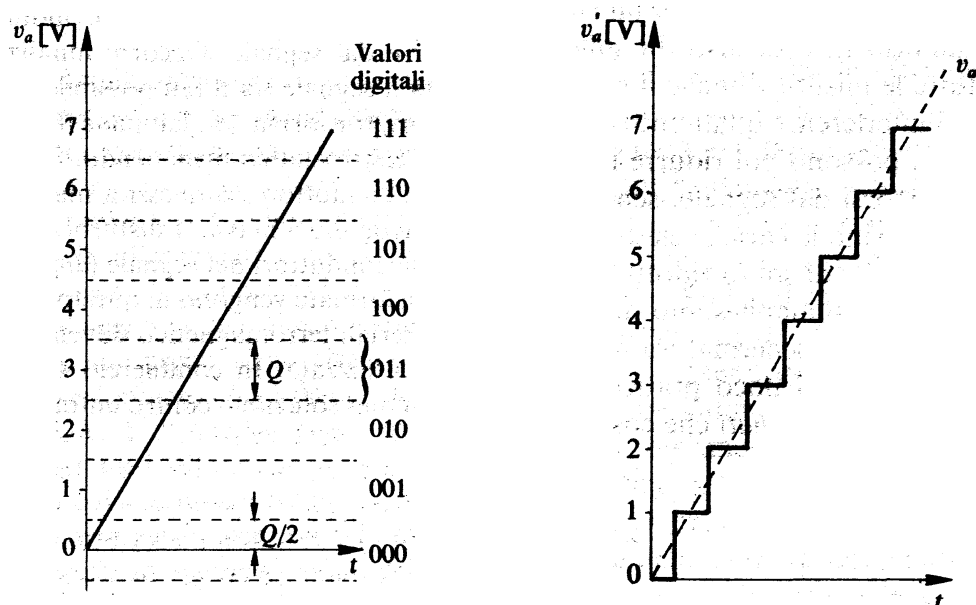


Fig. 13.3 – a) Segnale a rampa e valori digitali corrispondenti. b) Segnale riconvertito

In un ADC i valori digitali d'uscita non riproducono dunque fedelmente il segnale d'ingresso ma ne danno una rappresentazione approssimata, tanto più precisa quanto minore è il passo di quantizzazione Q , cioè quanto più numerosi sono i livelli di quantizzazione. Questi ultimi, d'altra parte, sono legati al numero di bit utilizzati per la rappresentazione digitale e quindi sono necessariamente in numero limitato. Sono comuni convertitori A/D con uscite a 8, 10, 12 bit (versioni più sofisticate presentano 6, 7, 14 o 16 bit), che consentono, rispettivamente, $2^8 = 256$, $2^{10} = 1024$, $2^{12} = 4096$ livelli di quantizzazione.

Il numero di bit d'uscita di un convertitore A/D, così come il numero dei bit d'ingresso di un convertitore D/A, viene generalmente chiamato *risoluzione* poiché implicitamente indica qual è la minima variazione del segnale d'ingresso che può essere rivelata in uscita (pari a $FS/2^n$ per un convertitore a n bit).

Un altro concetto implicito nella conversione A/D è quello del *campionamento* del segnale in vari istanti successivi. Infatti, la conversione consiste nel prelevamento di un campione del segnale ad un dato istante e nella determinazione del corrispondente valore digitale, che resterà fisso finché non sarà prelevato un altro campione per una nuova conversione.

La frequenza con la quale il segnale è prelevato prende il nome di *frequenza di campionamento*; essa ha un'importanza fondamentale con riferimento al contenuto informativo del segnale campionato e alle possibilità di ricostruire fedelmente il segnale analogico originario.

Il *teorema del campionamento*, noto anche come *teorema di Shannon*, stabilisce che la frequenza di campionamento deve essere maggiore almeno del doppio della componente di frequenza più elevata del segnale in esame. Pertanto, un segnale analogico $v_a(t)$, la cui componente armonica più elevata abbia frequenza f_M , potrà essere determinato univocamente a partire dai valori campionati se la frequenza di campionamento f_c è tale che

$$f_c \geq 2f_M. \quad (13.1)$$

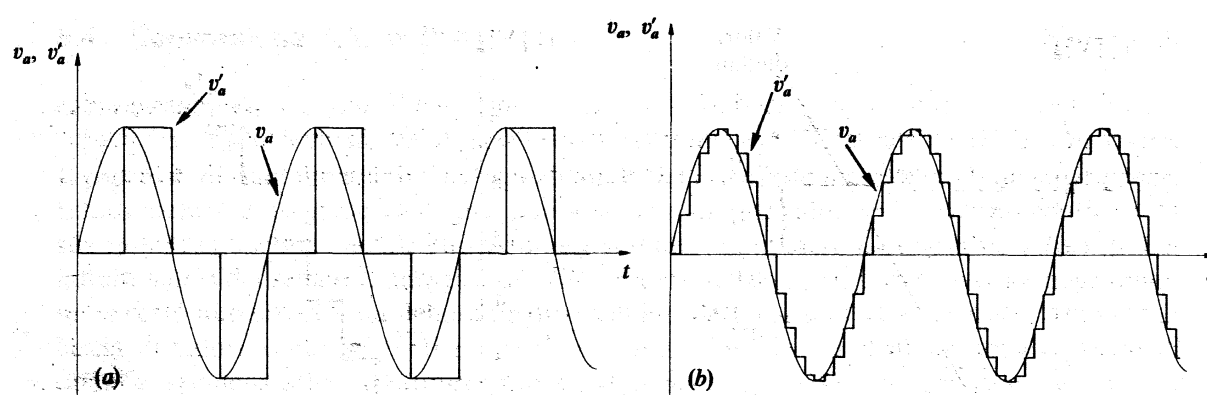


Fig. 13.4 – Segnale sinusoidale di frequenza f e segnali ricostruiti dopo la conversione con frequenza di campionamento: a) $f_c = 4f$ e b) $f_c = 20f$

La ricostruzione del segnale analogico originario, a partire dai valori campionati, si realizza facilmente mediante opportune azioni di filtraggio (di tipo passa-basso).

Il campionamento di un segnale può essere effettuato utilizzando circuiti di *campionamento e tenuta* (S/H: *sample and hold*) in grado di compiere un campionamento “veloce” del segnale analogico e di mantenere stabile il valore acquisito durante tutto il processo di conversione. In Fig. 13.5 è illustrato un semplice circuito S/H (Fig. 13.5a) con i relativi segnali, d'ingresso v_a , di uscita v_o (Fig. 13.5b) e di controllo V_c (Fig. 13.5c). Durante il campionamento il segnale di controllo V_c è ad 1 logico e chiude l'interruttore analogico consentendo al condensatore C di caricarsi al valore di v_a ; la costante di tempo di carica risulta assai ridotta poiché le resistenze in gioco sono essenzialmente la resistenza di uscita del buffer e la r_{ON} dell'interruttore. Una limitazione può essere costituita dalla velocità di risposta (*slew rate*) dell'operazionale di ingresso, se il segnale da campionare compie escursioni ampie e veloci. Quando V_c scende a 0, l'interruttore si apre isolando il condensatore dal circuito d'ingresso; C resta carico al valore campionato per un tempo idealmente

infinito, data l'elevata resistenza di ingresso del secondo buffer e dell'interruttore aperto. Una lieve scarica può essere in realtà determinata dalla corrente di polarizzazione di ingresso dell'operazionale e dalle correnti di perdita dell'interruttore e del condensatore; per questo motivo occorre utilizzare componenti con prestazioni adeguate, ad esempio operazionali con ingressi a FET e condensatori al teflon. La scelta del valore capacitivo sarà determinata da un compromesso fra le esigenze di un tempo di carica il più possibile ridotto in fase di campionamento e di una scarica il più possibile lenta in fase di mantenimento.

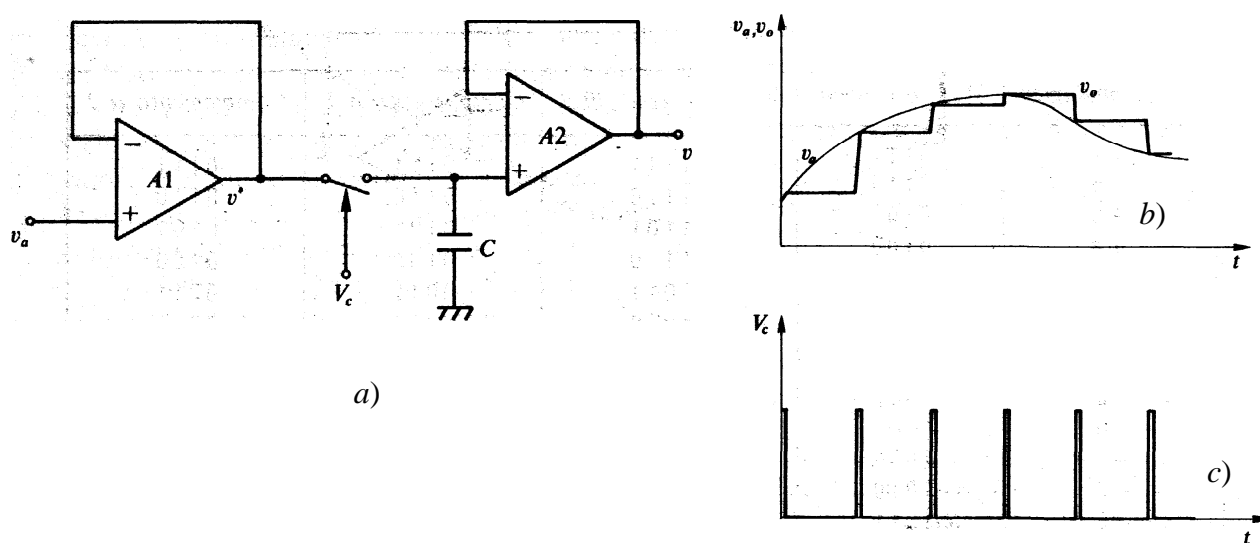


Fig. 13.5 – a) Circuito S/H; b), c) relative forme d'onda

13.3 Convertitori digitale-analogici

La struttura circuitale dei convertitori digitale-analogici (convertitori D/A) è essenzialmente basata su due tipi di reti resistive: una è detta *a resistori pesati*, mentre l'altra è costituita da una rete a scala di tipo $R-2R$, cioè che impiega resistori di due soli valori, R e $2R$. In questa sede ci occuperemo soltanto del primo tipo di convertitore, la cui trattazione risulta più semplice rispetto all'altro tipo.

In Fig. 13.6 è illustrata la struttura circuitale di principio del convertitore D/A a resistori pesati. L'ingresso è costituito da un segnale binario di n bit; ciascun bit controlla uno dei commutatori S_0, S_1, \dots, S_{n-1} , in modo tale che ciascun resistore venga a trovarsi collegato alla tensione di riferimento V_{ref} o a massa a seconda che il corrispondente bit si trovi al livello logico 1 o 0. L'altro estremo dei resistori si trova a massa virtuale per la presenza dell'operazionale. Si noti che i resistori presentano valori inversamente proporzionali ai pesi delle cifre binarie. Pertanto, a seconda del valore 0 o 1 dei bit di ingresso, nei corrispondenti resistori scorrerà una corrente nulla oppure una corrente

inversamente proporzionale al valore del resistore e quindi direttamente proporzionale al peso del bit. Ad esempio, con tutti i bit a 0 ad eccezione di quello meno significativo (LSB), all'ingresso dell'operazionale si avrà una corrente $I_f = I_0 = V_{\text{ref}}/R$. Supponendo che $S_i = 1$ indichi che il bit i -esimo si trova ad 1 e viceversa che $S_i = 0$ indichi che il bit i -esimo si trova a 0, si può scrivere l'espressione generale della corrente totale I_f in funzione della posizione dei commutatori

$$I_f = \frac{V_{\text{ref}}}{R} S_0 + 2 \frac{V_{\text{ref}}}{R} S_1 + 2^2 \frac{V_{\text{ref}}}{R} S_2 + \dots + 2^{n-1} \frac{V_{\text{ref}}}{R} S_{n-1}. \quad (13.2)$$

L'operazionale, che lavora come convertitore corrente-tensione, somma le correnti dei rami in cui $S_i = 1$ e fornisce in uscita una tensione proporzionale alla corrente totale, ovvero al valore binario del segnale di ingresso:

$$V_o = -V_{\text{ref}} \frac{R_f}{R} (S_0 + 2S_1 + 2^2 S_2 + \dots + 2^{n-1} S_{n-1}). \quad (13.3)$$

Con tutti i bit ad 1, la tensione d'uscita presenterà, in modulo, il valore massimo

$$|V_{o\text{max}}| = V_{\text{ref}} \frac{R_f}{R} (1 + 2 + 2^2 + \dots + 2^{n-1}) = V_{\text{ref}} \frac{R_f}{R} (2^n - 1). \quad (13.4)$$

Il principale inconveniente di questo convertitore è costituito dal fatto che esso richiede resistori di valore estremamente disomogeneo. Ad esempio, in un convertitore a 12 bit, se il resistore corrispondente al MSB vale 2 k Ω , il resistore corrispondente al LSB dovrà valere 4,1 M Ω . Resistori di valore così diverso, che offrano la precisione e la stabilità termica richieste, sono di non facile realizzazione, specialmente in tecnologia integrata monolitica.

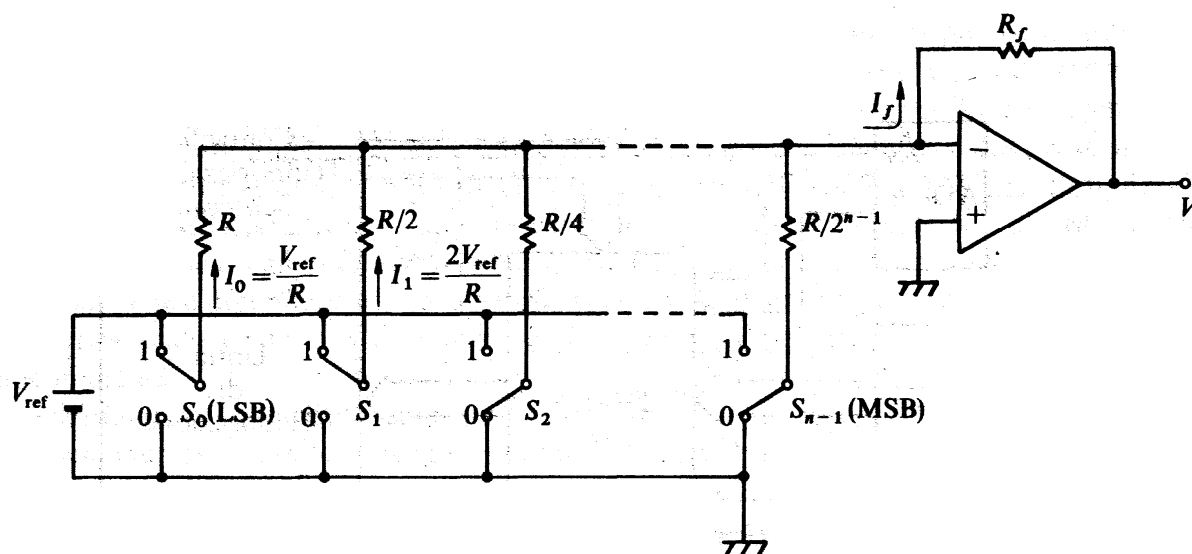


Fig. 13.6 – Convertitore D/A a resistori pesati

17.5 Convertitori analogico-digitali

I convertitori A/D sono disponibili in una grande varietà di tipi che si differenziano per numerosi fattori. Considerando l'aspetto tecnologico, troviamo convertitori integrati monolitici anche a basso costo, realizzati in tecnologia bipolare, I²L, CMOS, e convertitori a moduli e circuiti ibridi, più costosi e con prestazioni elevate. Un'altra e più significativa classificazione è quella che considera il *principio di funzionamento* dei convertitori, poiché da esso, in linea di massima, dipende il livello delle prestazioni per quanto riguarda la risoluzione, la velocità di conversione, la precisione.

13.5.1 Convertitore "flash"

In Fig. 13.7 è illustrato un convertitore con uscita a 3 bit, costituito da sette comparatori, da un registro a *latch* per la sincronizzazione della conversione e da un codificatore.

Il segnale V_a da convertire viene applicato agli ingressi non invertenti; l'ingresso invertente di ciascun comparatore è connesso ad una rete resistiva che ripartisce la tensione di riferimento V_{ref} in otto fasce, così da fissare i livelli di riferimento, o di quantizzazione, ai valori $\frac{1}{14} V_{ref}$, $\frac{3}{14} V_{ref}$, ..., $\frac{13}{14} V_{ref}$. Ciascun comparatore commuta la sua uscita ad 1 quando V_a supera il rispettivo livello di riferimento. Le uscite dei comparatori vengono memorizzate in sincronismo con il segnale di clock e codificate per fornire un dato digitale stabile.

Questo tipo di convertitore, chiamato anche *simultaneo* o *flash*, consente elevate velocità di conversione (tempi di conversione dell'ordine di 10 ns) e non richiede generalmente l'impiego di circuiti S/H. Tuttavia, poiché un convertitore con n bit di uscita necessita di $2^n - 1$ comparatori, la realizzazione di dispositivi ad alta risoluzione comporta una notevole complessità circuitale; pertanto generalmente i convertitori simultanei hanno risoluzione limitata (tipicamente 6 o 7 bit).

Per aumentare la risoluzione vengono adottate tecniche complesse, note anche come *conversione subranging* o *half flash* (ad esempio il tipo ADC0820 prodotto dalla National), che fanno uso di convertitori flash di risoluzione più bassa disposti in cascata.

13.5.2 Convertitore ad approssimazioni successive

Il metodo di conversione *ad approssimazioni successive* è sicuramente il più diffuso in quanto consente un buon compromesso fra velocità di conversione e risoluzione. Esso si basa sullo stesso principio che viene utilizzato per determinare il peso di un oggetto con una bilancia di precisione a due piatti. Si supponga di dover pesare un oggetto di peso decrescente, pari ciascuno alla metà del precedente: $\frac{1}{2}$ kg, $\frac{1}{4}$ kg, $\frac{1}{8}$ kg, ecc. Posto l'oggetto in esame su un piatto della bilancia, sull'altro vengono posti i pesi campione, in ordine, partendo dal maggiore, nel tentativo di raggiungere l'equilibrio. Ogni volta che l'aggiunta di un peso fa inclinare la bilancia dalla parte dei pesi, lo si

sostituisce con il peso immediatamente inferiore. Al termine dell'operazione il peso dell'oggetto è dato dalla somma dei pesi campione rimasti sul piatto. Associando ai pesi campione le corrispondenti cifre binarie, si può esprimere il peso dell'oggetto in forma digitale.

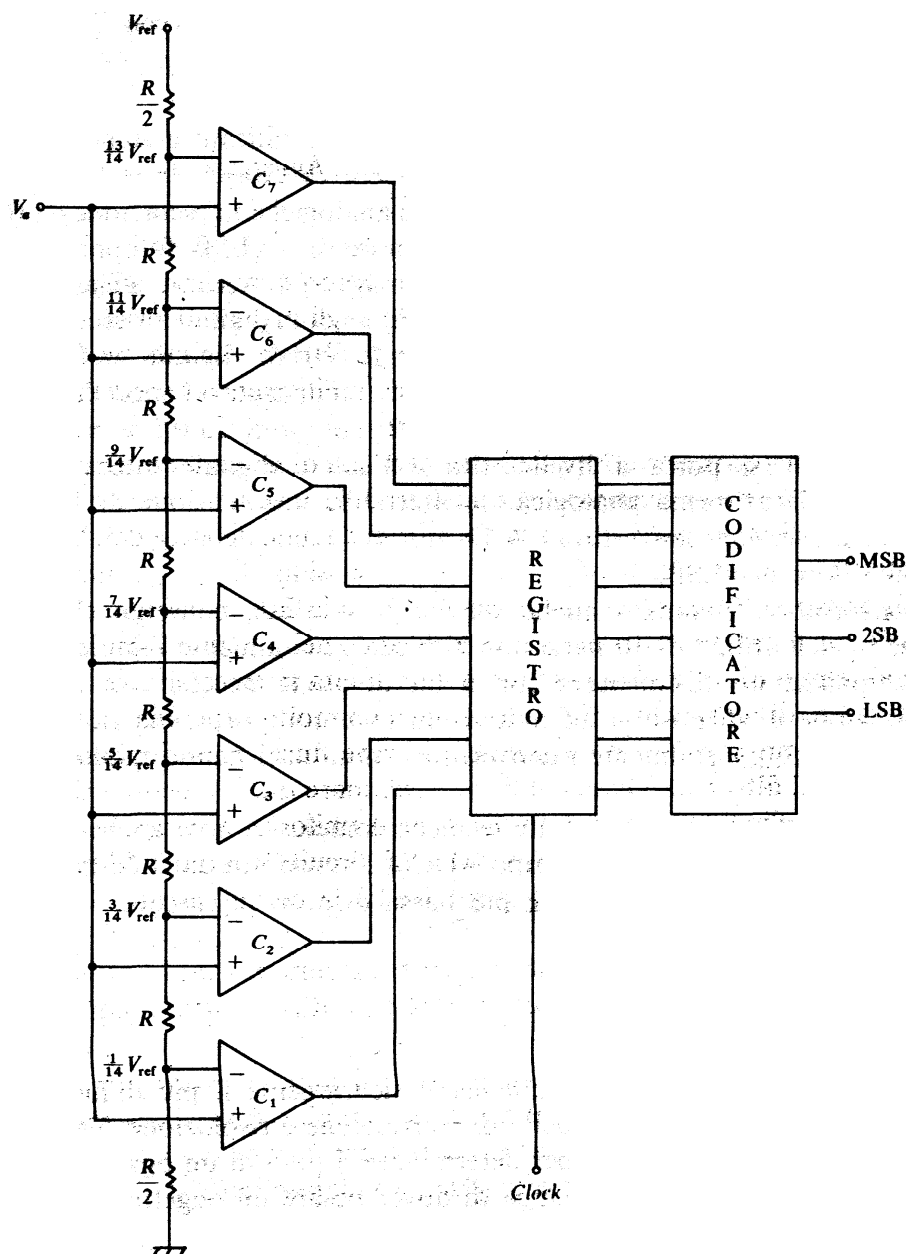


Fig. 13.7 – Convertitore A/D “flash”

Nel convertitore a 4 bit di Fig. 13.8 il segnale di ingresso V_a viene comparato con precisi livelli di tensione generati dal convertitore D/A. Dopo l'applicazione del comando di conversione (*SOC: start of conversion*) che azzerà le uscite e inizializza il sistema, il registro ad approssimazioni successive (*SAR: successive approximation register*) si trova nello stato 1000. Questo dato viene

presentato all'ingresso del DAC che fornisce il primo livello analogico, pari a metà della tensione di fondo scala del convertitore, da confrontare con il segnale V_a . Se $V_a > V'_a$ l'uscita del comparatore è alta e il bit più significativo del SAR, che è anche il MSB della parola di uscita, rimane alto. Se viceversa $V_a < V'_a$ l'uscita del comparatore è bassa, il bit più significativo del SAR (e quindi anche del dato di uscita) si porta a 0. A questo punto, in sincronismo con il clock, viene portato ad 1 il secondo bit più significativo del SAR, cosicché il dato presente sugli ingressi del DAC sarà 1100 oppure 0100 a seconda del risultato del confronto precedente. Il secondo confronto porta a 0 o mantiene ad 1 il secondo bit del SAR e del buffer d'uscita, a seconda che V_a risulti minore o maggiore di V'_a . Con procedimento analogo vengono effettuati il terzo e quarto confronto.

Alla fine della conversione, ovvero dopo quattro confronti successivi, il dato digitale contenuto nel buffer di uscita è pronto e valido; il blocco di temporizzazione segnala la fine della conversione (*EOC: end of conversion*) e l'uscita può essere letta.

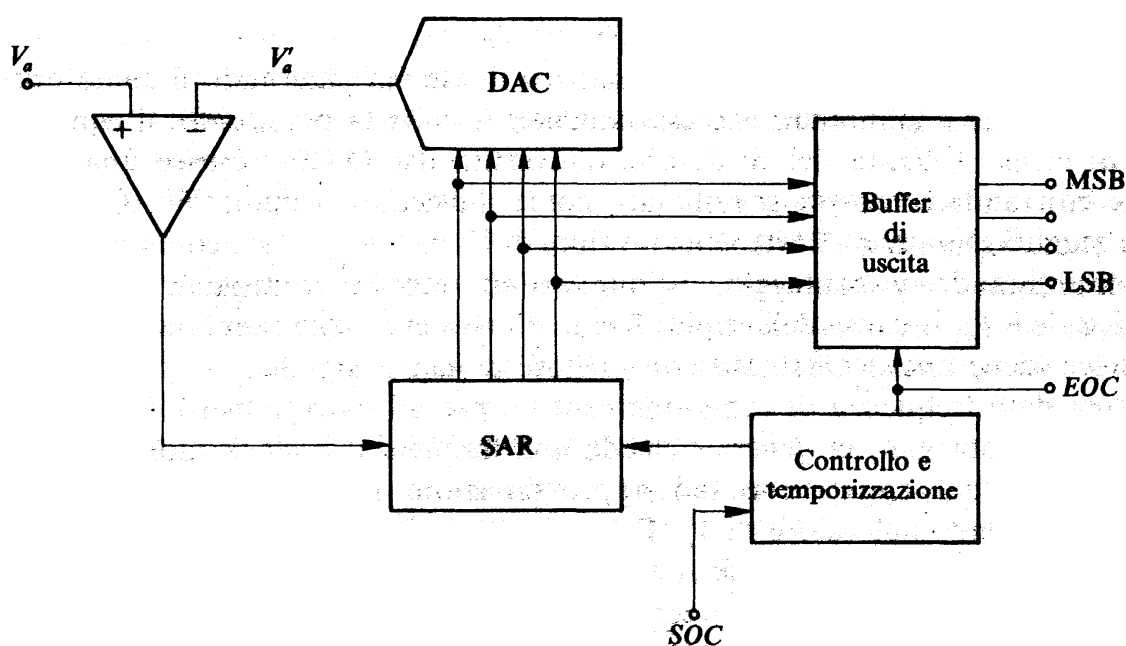


Fig. 13.8 – Convertitore A/D ad approssimazioni successive (a 4 bit)

Utilizzando la tecnica ad approssimazioni successive si richiedono n iterazioni, e quindi n cicli di clock, per convertire una tensione d'ingresso in un dato a n bit, indipendentemente dal valore della tensione stessa. Questo fatto, unitamente alle buone prestazioni in risoluzione, fa preferire la tecnica ad approssimazioni successive nella realizzazione di convertitori a media velocità, adatti ad esempio per applicazioni con microprocessori.

13.5.3 Convertitore a conteggio

La struttura base del convertitore a *conteggio* è illustrata in Fig. 13.9a; consiste di un contatore binario, di un convertitore D/A e di un comparatore, oltre naturalmente alla logica di temporizzazione e controllo.

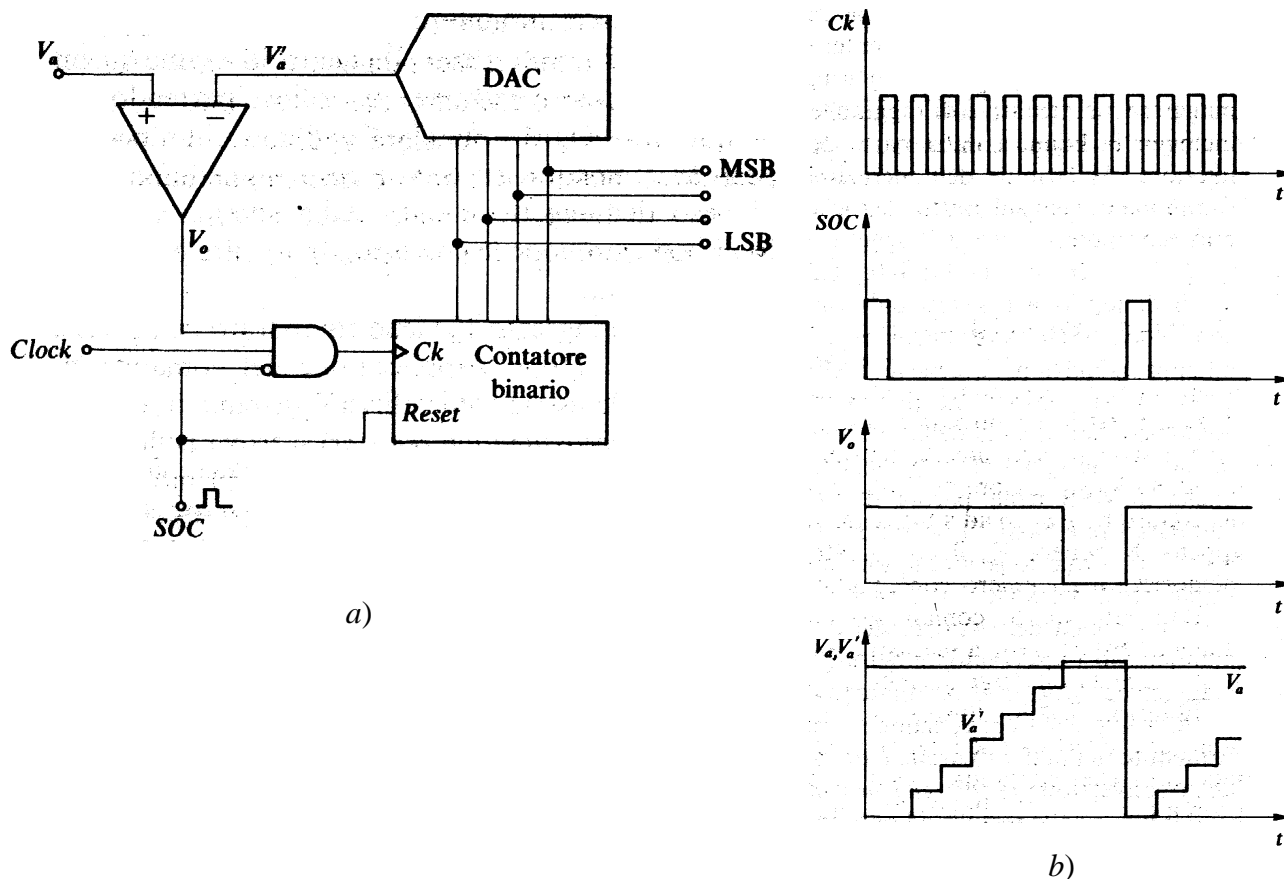


Fig. 13.9 – a) Convertitore A/D a conteggio (a 4 bit) e b) relative forme d'onda

Il comando di conversione (SOC) inizializza il sistema azzerando il contatore tramite l'ingresso di *Reset* abilitando successivamente, tramite la porta AND, il conteggio degli impulsi di clock. L'uscita del contatore, convertita dal DAC, fornisce una tensione V'_a crescente con andamento «a gradinata», come illustrato in Fig. 13.9b. Quando questa tensione raggiunge e supera lievemente il valore di V_a , il comparatore commuta portando V_o a 0 e disabilitando il conteggio. Il numero di impulsi conteggiati dal contatore è proporzionale a V_a . A causa della tipica forma d'onda che viene generata dal DAC, questo convertitore viene anche chiamato *convertitore a rampa digitale*.

Per una data frequenza di campionamento e per un dato numero di bit d'uscita, il convertitore a conteggio in genere richiede una frequenza di clock molto più elevata di quella richiesta dal convertitore ad approssimazioni successive; inoltre il tempo di conversione dipende dal valore di V_a . Per n bit di uscita occorre prevedere un tempo di conversione pari a 2^n cicli di clock. Per questo

motivo i convertitori a rampa digitale si prestano in applicazioni in cui la frequenza di campionamento sia inferiore ai 100 kHz.

Il convertitore a conteggio può essere migliorato impiegando un contatore avanti-indietro; si ottiene così un convertitore a rampa digitale continua o convertitore asservito o *servo-convertitore* (*track-converter*). Il contatore conta in avanti o indietro a seconda che l'uscita del comparatore sia 1 oppure 0 logico e quindi a seconda che V_a sia maggiore o minore di V'_a . L'impiego del convertitore avanti-indietro esclude necessariamente l'azzeramento del contatore ad ogni ciclo di conversione; il contatore manterrà il numero conteggiato da una conversione alla successiva, incrementandolo o decrementandolo per seguire le variazioni di V_a . Rispetto al convertitore a conteggio visto prima, il servo-convertitore richiede mediamente la metà dei conteggi e può quindi lavorare ad una frequenza doppia.